

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-188250

(43)Date of publication of application : 04.07.2000

(51)Int.Cl.

H01L 21/027
 G03F 7/26
 H01L 21/02
 H01L 23/12
 // H01L 21/68
 H05K 1/02

(21)Application number : 10-362716

(71)Applicant : OKI ELECTRIC IND CO LTD

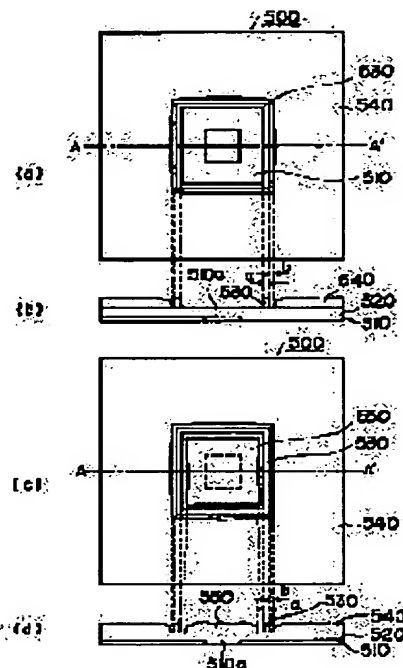
(22)Date of filing : 21.12.1998

(72)Inventor : MINAMI AKIYUKI
 MACHIDA TETSUSHI

(54) RESIST MARKS, AND MANUFACTURE OF SEMICONDUCTOR DEVICE USING THE MARKS**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide resist marks which can be less deformed under influences of thermal flow to provide an improved positioning accuracy, and also to provide a method for manufacturing a semiconductor device which uses such marks.

SOLUTION: An interlayer film, such as a silicon dioxide film 520, is formed on a base film such as a polysilicon film 510, having an opening acting as a base mark 510a. Resist marks 530 and 540 are formed on the interlayer film. The resist marks are made of first and second patterns 540 and 530 of predetermined-shaped frames. The second pattern is formed inside the first frame as spaced therefrom, and the width of the second pattern directed from its inner side to outer side is smaller than that of the first pattern. An absolute positional relationship between a resist pattern formed through light exposure and a water can be confirmed with the use of an overlap accuracy measuring apparatus for measuring shifts between the resist marks and a base mark 510.

**LEGAL STATUS**

[Date of request for examination]

25.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3288320

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-188250

(P2000-188250A)

(43)公開日 平成12年7月4日(2000.7.4)

(51)IntCl ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 21/027		H 0 1 L 21/30	5 0 2 M 2 H 0 9 6
G 0 3 F 7/26	5 1 1	G 0 3 F 7/26	5 1 1 5 E 3 3 8
H 0 1 L 21/02		H 0 1 L 21/02	5 F 0 3 1
23/12		21/68	F 5 F 0 4 6
// H 0 1 L 21/68		H 0 5 K 1/02	R

審査請求 有 請求項の数15 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平10-362716

(22)出願日 平成10年12月21日(1998.12.21)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 南 章行

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 町田 哲志

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 100089093

弁理士 大西 健治

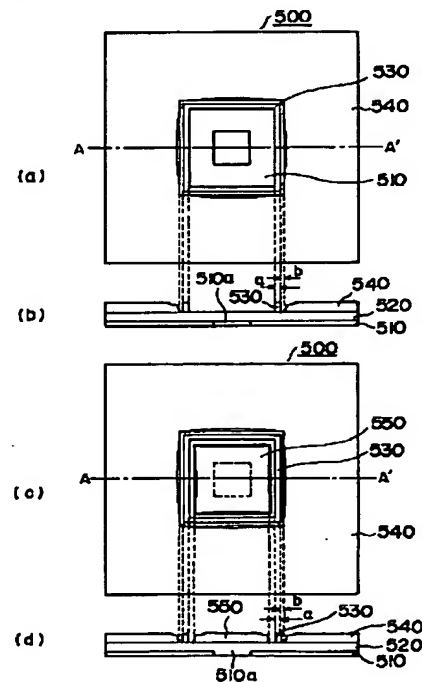
最終頁に続く

(54)【発明の名称】 レジストマーク及びそれを用いた半導体装置の製造方法

(57)【要約】 (修正有)

【課題】サーマルフローの影響によるレジストマークの変形を抑制し、位置合わせ精度の向上するレジストマーク及びそれを用いた半導体装置の製造方法を提供する。

【解決手段】層間膜、例えば二酸化シリコン膜520が、下地マーク510aとして働く開口部を有する下地膜、例えばポリシリコン膜510の上に形成される。層間膜の上には、レジストマーク530、540が形成されている。このレジストマークは、第1のパターン540と第2のパターン530からなる。両パターンは、所定形状の枠からなる。第2のパターンは、第1の枠の内側に離間して形成され、かつ、内側から外側に向かう方向の幅が第1のパターンの寸法より小さい。露光により形成されたレジストパターンとウエハとの絶対的な位置関係の確認は、レジストマークと、下地マーク510とのずれ量を重ね合わせ精度測定機により測定することにより行う。



【特許請求の範囲】

【請求項1】所定形状の第1の枠からなり、かつこの第1の枠の内側から外側に向かう方向の幅が第1の寸法である第1のパターンと、前記第1の枠の内側で前記第1のパターンから離間して形成され、所定形状の第2の枠からなり、かつこの第2の枠の内側から外側に向かう方向の幅が第1の寸法より小さい第2の寸法からなる第2のパターンとからなることを特徴とするレジストマーク。

【請求項2】前記第2の寸法が $0.3\mu\text{m}\sim 10\mu\text{m}$ であることを特徴とする請求項1記載のレジストマーク。

【請求項3】前記第1のパターンは、前記第2のパターンと少なくとも一部で接続されていることを特徴とする請求項1記載のレジストマーク。

【請求項4】前記第1及び第2のパターンは、四角いリング状からなることを特徴とする請求項1記載のレジストマーク。

【請求項5】前記第1及び第2のパターンは、前記四角いリング状の角部で接続されていることを特徴とする請求項4記載のレジストマーク。

【請求項6】位置計測用マークを有する下地膜を準備する工程と、

所定形状の第1の枠からなり、かつこの第1の枠の内側から外側に向かう方向の幅が第1の寸法である第1のパターンと、前記第1の枠の内側で前記第1のパターンから離間して形成され、所定形状の第2の枠からなり、かつこの第2の枠の内側から外側に向かう方向の幅が第1の寸法より小さい第2の寸法からなる第2のパターンとからなるレジストマークを前記位置計測用マーク上方に形成する工程と、

前記位置計測用マークと前記レジストマークとの相互位置を計測する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】前記第2の寸法が $0.3\mu\text{m}\sim 10\mu\text{m}$ であることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】前記第1のパターンは、前記第2のパターンと少なくとも一部で接続されていることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項9】前記第1及び第2のパターンは、四角いリング状からなることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項10】前記第1及び第2のパターンは、前記四角いリング状の角部で接続されていることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】下地膜を準備する工程と、所定形状の第1の枠からなり、かつこの第1の枠の内側から外側に向かう方向の幅が第1の寸法である第1のパターンと、前記第1の枠の内側で前記第1のパターンから離間して形成され、所定形状の第2の枠からなり、かつこの

第2の枠の内側から外側に向かう方向の幅が第1の寸法より小さい第2の寸法からなる第2のパターンとからなるレジストマークを前記下地膜上に形成する工程と、前記レジストマークを用いて前記下地膜をエッチングする工程と、エッチングされた前記下地膜を用いてウエハの位置を検出する工程とを有することを特徴とする半導体装置の形成方法。

【請求項12】前記第2の寸法が $0.3\mu\text{m}\sim 10\mu\text{m}$ であることを特徴とする請求項11記載のレジストマーク。

【請求項13】前記第1のパターンは、前記第2のパターンと少なくとも一部で接続されていることを特徴とする請求項11記載のレジストマーク。

【請求項14】前記第1及び第2のパターンは、四角いリング状からなることを特徴とする請求項11記載のレジストマーク。

【請求項15】前記第1及び第2のパターンは、前記四角いリング状の角部で接続されていることを特徴とする請求項14記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造において、重ね合わせ精度測定のためのレジストマーク及びそれを用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】一般に、半導体集積回路装置のパターン形成工程として、フォトリソグラフィ技術が用いられている。このフォトリソグラフィ技術は、ガラス基板上に露光光に対して遮光性を有するクロム等で集積回路パターンを形成したフォトマスクを用いて、半導体基板（以下、ウエハと称す。）上に形成されたレジストを選択的に露光及び感光させる。

【0003】次に、このレジストをアルカリ現像することによって、集積回路パターンが転写されたレジストパターンを得ることができる。このレジストパターンの形成過程において、ウエハとレジストパターンとの高精度の位置合わせが必要不可欠となる。この位置合わせを行うため、露光機においては、フォトマスク上に形成されたフォトマスクの位置計測マークと、ウエハ上に予め形成されたウエハの位置計測マークとの相互の位置関係を検知及び計測した後、露光を行う。この露光により形成されたレジストパターンとウエハとの絶対的な位置関係の確認は、集積回路パターンと同時に転写、形成された重ね合わせ精度測定用のレジストマークと、ウエハ上に予め形成されたウエハの位置計測マークとのずれ量を重ね合わせ精度測定機により測定することにより行われる。

【0004】図3は、ウエハの位置計測マークの形成工程を説明するための断面工程図。

【0005】図4は、重ね合わせ精度測定用のレジストマークの形成工程を説明するための断面工程図。これら図3及び図4を用いて、ウエハの位置計測マーク及び重ね合わせ精度測定用のレジストマークの形成工程を説明する。

【0006】まず、図3(a)及び図4(a)に示すように、例えば、ポリシリコンの下地膜11を成膜したウエハ上にレジスト12を塗布した状態である。このレジスト12を露光かつ、現像することにより、図3(b)及び図4(b)に示すウエハの位置計測マークのレジストパターン13、及び重ね合わせ精度測定用のレジストマーク13を得る。図3(c)は、レジストパターン13をエッチングマスクとして下地膜を選択除去することにより得られた下地膜の段差構造14を示し、図4(c)は、レジストパターン13をエッチングマスクとして下地膜を選択除去することにより得られた下地マーク14を示す。図3(d)及び図4(d)は、ウエハ全面のレジストを除去した後の状態を示す。図3(e)及び図4(e)は、例えば酸化珪素15をウエハ全面に成膜した状態を示しており、図3(f)及び図4(f)は、レジストを塗布した状態を示している。図3(f)は、露光装置において使用するウエハの位置計測用マークの最終的な断面構造図である。図4(g)は、レジスト16を露光及び現像することにより得られた重ね合わせ精度測定用のレジストマークの最終的な断面構造図である。

【0007】露光装置におけるウエハの位置検出は、図3(f)における下地膜の段差構造14のエッジ位置の検出することにより行われる。同様に重ね合わせ精度測定は、図4(g)における下地マーク14とレジストマーク17のエッジ位置の検出することにより行われる。ウエハの位置検出マークと重ね合わせ精度測定マークの両マークにおけるエッジ位置の検出方法は同様であるので、重ね合わせ精度測定マークのエッジ位置の検出方法を例に取り、その説明を以下行う。

【0008】図5(a)は、重ね合わせ精度測定マーク100の平面図であり、図5(b)は、図5(a)中のA-A'線に沿って切った時の重ね合わせ精度測定マーク100の断面図である。図5(a)及び図5(b)は、下地マーク110が、膜厚の厚い酸化珪素膜120に覆われており、その上にレジストマーク130が形成されている重ね合わせ精度測定マーク100を示している。ここで、レジストマーク130の抜き領域幅である寸法(a)は $15\mu\text{m}$ ～ $35\mu\text{m}$ であり、レジスト領域の幅である寸法(b)は数 $10\mu\text{m}$ である。

【0009】図6(a)はCCDカメラ等により取り込まれた重ね合わせ精度測定マーク100の画像データ200の説明図である。エッジ位置の検出は、どの場所のエッジで行っても同様であるため、画像データ200におけるレジストマークのエッジ210のX-X'方向を例にとって説明する。まず、画像データ200をX-X'方向に沿った明暗強度の波形信号へと変換する。図6(b)は、X-X'方向に沿った明暗強度の波形信号211の説明図である。この波形信

号211において極大、極小により挟まれた波形区間212を設定し、波形信号高さの半分となる位置213を求める。この位置213がエッジ認識位置となる。

【0010】

【発明が解決しようとする課題】しかしながら、上述した従来の半導体装置の製造方法では、レジストパターンの形成は、レジスト膜中に過剰に残留している有機溶媒を飛ばすため、または高分子の架橋反応によりレジストパターンを硬化させるために 100°C を超える温度での熱処理を行う必要がある。しかしながら、この熱処理を行うことにより、サーマルフローと言われるレジストパターンのエッジ部の変形が起こる。このレジストパターンのエッジ部の変形は、寸法の大きなレジストパターン、つまり延在方向でのエッジ間の距離が長いレジストパターンほど応力が大きいため顕著に起こる。ここで、例えば、エッジ間の距離は、 $20\mu\text{m}$ ～ $30\mu\text{m}$ である。

【0011】図7は重ね合わせ精度測定マークのサーマルフローによる影響を示す説明図であって、図7(a)は重ね合わせ精度測定マーク300の上面からの説明図、図7(b)は図7(a)をA-A'線に沿って切った断面図である。図7(a)及び図7(b)には、下地マーク310が、二酸化珪素膜320により全面を覆われたウエハ（図示せず）に、レジストマーク330を形成した重ね合わせ精度測定マークを示している。レジストマーク330のエッジ部は、サーマルフローの影響により変形している。

【0012】図8は、レジストマーク330のエッジ位置の検出におけるサーマルフローの影響を示す説明図である。図8(a)はCCDカメラなどにより取り込まれた重ね合わせ精度測定マーク300の上面からの画像データ400の説明図である。図8(b)は、画像データ400におけるレジストマーク、紙面上左側のエッジ410のX-X'方向に沿った明暗強度の波形信号411の説明図である。この波形信号411において極大、極小により挟まれた波形区間412を設定し、波形信号高さの半分となる位置413を求めることにより、レジストマーク330のエッジ位置を認識する。位置413は変形したレジストマーク330のエッジ部の波形信号411から算出されるため、もし、サーマルフローの影響により変形したレジストマーク330のエッジ部を用いて位置検出すれば、位置合わせ精度が下がることは言うまでもない。

【0013】本発明は、上記問題を解決し、サーマルフローの影響によるレジストマークの変形を抑制し、位置合わせ精度の向上するレジストマーク及びそれを用いた半導体装置の製造方法を提供する。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明のレジストマークは、所定形状の第1の枠からなり、かつこの第1の枠の内側から外側に向かう方向の幅が第1の寸法である第1のパターンと、前記第1の枠の内側で前記第1のパターンから離間して形成され、所

定形状の第2の枠からなり、かつこの第2の枠の内側から外側に向かう方向の幅が第1の寸法より小さい第2の寸法からなる第2のパターンとからなることを特徴とする。

【0015】本発明の半導体装置の製造方法は、位置計測用マークを有する下地膜を準備する工程と、所定形状の第1の枠からなり、かつこの第1の枠の内側から外側に向かう方向の幅が第1の寸法である第1のパターンと、前記第1の枠の内側で前記第1のパターンから離間して形成され、所定形状の第2の枠からなり、かつこの第2の枠の内側から外側に向かう方向の幅が第1の寸法より小さい第2の寸法からなる第2のパターンとからなるレジストマークを前記位置計測用マーク上方に形成する工程と、前記位置計測用マークと前記レジストマークとの相互位置を計測する工程とを有することを特徴とする。

【0016】さらに、本発明の半導体装置の製造方法は、下地膜を準備する工程と、所定形状の第1の枠からなり、かつこの第1の枠の内側から外側に向かう方向の幅が第1の寸法である第1のパターンと、前記第1の枠の内側で前記第1のパターンから離間して形成され、所定形状の第2の枠からなり、かつこの第2の枠の内側から外側に向かう方向の幅が第1の寸法より小さい第2の寸法からなる第2のパターンとからなるレジストマークを前記下地膜上に形成する工程と、前記レジストマークを用いて前記下地膜をエッチングする工程と、エッチングされた前記下地膜を用いてウエハの位置を検出する工程とを有することを特徴とする。

【0017】

【発明の実施の形態】以下、本発明の第1の実施形態について図面を参照しながら説明する。図1は本発明の第1の実施形態のレジストマークの説明に供する図であり、図1(a)は第1の実施形態の重ね合わせ精度測定マーク500の平面図であり、図1(b)は、図1(a)中のA-A'線に沿って切った時の第1の実施形態の重ね合わせ精度測定マーク500の断面図である。

【0018】図1(a)及び図1(b)に示すように、層間膜、例えば二酸化シリコン膜520が、下地マーク510aとして働く開口部を有する下地膜、例えばポリシリコン膜510の上に形成される。このポリシリコン膜520の上には、レジストマーク530、540が形成されている。このレジストマーク530、540は、第1のパターン540と第2のパターン530からなる。第1のパターン540は、所定形状の第1の枠からなり、かつこの第1の枠の内側から外側に向かう方向の幅が第1の寸法である。第2のパターンは、第1の枠の内側で第1のパターンから離間して形成され、所定形状の第2の枠からなり、かつこの第2の枠の内側から外側に向かう方向の幅が第1の寸法より小さい第2の寸法からなる第2のパターンとからなる。ここで、第1の実施形態では第1及び第2の枠を四角形状のものをを用いる。ここで、第1のパターン540の第1の寸法は20 μ m～30 μ mで、第2のパターンの第2の寸法(図中、a)は0.3 μ m～10.0 μ m、第

1及び第2のパターン間の寸法(図中、b)は0.3 μ m～10.0 μ mである。

【0019】露光により形成されたレジストパターンとウエハとの絶対的な位置関係の確認は、集積回路パターンと同時に転写、形成された重ね合わせ精度測定用のレジストマーク、つまり第1のパターン540と第2のパターン530からなるレジストマークと、ウエハ上に予め形成されたウエハの位置計測マーク、つまり下地膜に形成された下地マーク510とのずれ量を重ね合わせ精度測定機により測定することにより行われる。具体的には、重ね合わせ精度測定は、下地マーク510aと、第2のパターン530の内側の両エッジ位置を検出することによって行われる。

【0020】図1(c)、(d)は本発明の第1の実施形態の変形例のレジストマークの説明に供する図であり、図1(c)は第1の実施形態の変形例の重ね合わせ精度測定マーク500の平面図であり、図1(d)は、図1(c)中のA-A'線に沿って切った時の第1の実施形態の変形例の重ね合わせ精度測定マーク500の断面図である。

【0021】本発明の第1の実施形態の変形例のレジストマークは、第2のパターン530の枠内の二酸化シリコン膜520上に第3のパターン550を有することを特徴とする。本発明の第1の実施形態の変形例のレジストマークは、第3のパターン550を有するので、位置合わせ後のレジストパターンをマスクとするエッチング工程により、重ね合わせ精度測定マーク500部における不要な二酸化シリコン膜520のエッチングを防止することができる。

【0022】上述した本発明のレジストマーク530、540は、第1のパターン540と第2のパターン530からなり、位置検出の際には第2のパターン530のエッジを使用する。サーマルフローによるエッジ部の変形は、レジストマークのエッジ間、つまり幅の寸法に依存する。従って、この第2のパターン530は、サーマルフローの影響を受けない程度の幅、例えば0.3 μ m～10.0 μ mに設定されているため、エッジ部の変形が起きづらく、さらにマスクしたい部分は、第2のパターン530から所定距離離れた所に形成された、幅の広い第1のパターン540で二酸化シリコン膜520が覆われているので、不要なエッチングが避けられる。このように、本発明のレジストマークは、サーマルフローの影響によるレジストマークの変形を低減し、かつ本来のレジストパターンのマスクとしての機能も保持される。これによって位置合わせ精度が向上するレジストマーク530、540が得られる。また、本発明のレジストマークを用いた半導体装置の製造方法は、上述したレジストマークを用いて行われるため、半導体製造工程全体における位置合わせ精度を向上することができ、これに伴ない、歩留まりを向上させることが可能になる。また、このレジストマークを用いて下地膜に形成される位置計測マークも精度良く、形成されるため、位置計測の精度も向上する。

【0023】以下、本発明の第2の実施形態について図面を参照しながら説明する。図2は本発明の第2の実施形態のレジストマークの説明に供する図であり、図2(a)は第2の実施形態の重ね合わせ精度測定マーク600の平面図であり、図2(b)は、図2(a)中のA-A'線に沿って切った時の第2の実施形態の重ね合わせ精度測定マーク600の断面図である。

【0024】図2(a)及び図2(b)に示すように、層間膜、例えば二酸化シリコン膜620が、下地マーク610aとして働く開口部を有する下地膜、例えばポリシリコン膜610の上に形成される。この二酸化シリコン膜620の上には、レジストマーク630、640が形成されている。

【0025】本発明の第2の実施形態のレジストマークは、レジストマークを構成する第1のパターン640と第2のパターン630を各枠の隅で接続した構成660を特徴とする。

【0026】露光により形成されたレジストパターンとウエハとの絶対的な位置関係の確認は、集積回路パターンと同時に転写、形成された重ね合わせ精度測定用のレジストマーク、つまり第1のパターン640と第2のパターン630からなるレジストマークと、ウエハ上に予め形成されたウエハの位置計測マーク、つまり下地膜に形成された下地マーク610aとのずれ量を重ね合わせ精度測定機により測定することにより行われる。具体的には、重ね合わせ精度測定は、下地マーク610aと、第2のパターン630の内側の両エッジ位置を検出することによって行われる。

【0027】本発明の第2の実施形態の変形例のレジストマークは、第2のパターン630の枠内の二酸化シリコン膜上に第3のパターン650を有することを特徴とする。本発明の第2の実施形態の変形例のレジストマークは、第3のパターン650を有するので、位置合わせ後のレジストパターンをマスクとするエッチング工程により、重ね合わせ精度測定マーク600部における不要な二酸化シリコン膜のエッチングを防止することができる。

【0028】上述した本発明のレジストマーク630、640は、第1のパターン640と第2のパターン630からなり、位置検出の際には第2のパターン630のエッジを使用する。サーマルフローによるエッジ部の変形は、レジストマークのエッジ間、つまり幅の寸法に依存する。従って、この第2のパターン630は、サーマルフローの影響を受けない程度の幅、例えば0.3μm～10.0μmに設定されているため、エッジ部の変形が起きづらく、さらにマスクしたい部分は、第2のパターン630から所定距離離れた所に形成された、幅の広い第1のパターン640で二酸化シリコン膜620が覆われているので、不要なエッチングが避けられる。このように、本発明のレジストマークは、サーマルフローの影響によるレジストマークの変形を低減し、かつ本来のレジストパターンのマスクとしての機能も保持される。これによって位置合わせ精度が向上するレジス

トマーク630、640が得られる。

【0029】また、本発明の第2の実施形態のレジストマークは、レジストマークを構成する第1のパターン640と第2のパターン630を各枠の隅で接続した構成660であるため、第2のパターン630が、二酸化シリコン膜620から剥がれる、つまり膜剥がれの問題を防止することができる。また、本発明のレジストマークを用いた半導体装置の製造方法は、上述したレジストマークを用いて行われるため、半導体製造工程全体における位置合わせ精度を向上することができ、これに伴い、歩留まりを向上させることが可能になる。また、このレジストマークを用いて下地膜に形成される位置計測マークも精度良く、形成されるため、位置計測の精度も向上する。

【0030】

【発明の効果】本発明のレジストマークは、サーマルフローの影響によるレジストマークの変形を低減し、かつ本来のレジストパターンのマスクとしての機能も保持される。これによって位置合わせ精度が向上するレジストマークが得られる。また、本発明のレジストマークを用いた半導体装置の製造方法は、上述したレジストマークを用いて行われるため、半導体製造工程全体における位置合わせ精度を向上することができ、これに伴い、歩留まりを向上させることが可能になる。また、このレジストマークを用いて下地膜に形成される位置計測マークも精度良く、形成されるため、位置計測の精度も向上する。

【図面の簡単な説明】

【図1】図1(a)は第1の実施形態の重ね合わせ精度測定マークの平面図であり、図1(b)は、図1(a)中のA-A'線に沿って切った時の第1の実施形態の重ね合わせ精度測定マークの断面図である。

【図2】図2(a)は第2の実施形態の重ね合わせ精度測定マークの平面図であり、図2(b)は、図2(a)中のA-A'線に沿って切った時の第2の実施形態の重ね合わせ精度測定マークの断面図である。

【図3】図3は、ウエハの位置計測マークの形成工程を説明するための断面工程図。

【図4】図4は、重ね合わせ精度測定用のレジストマークの形成工程を説明するための断面工程図。

【図5】図5(a)は、重ね合わせ精度測定マークの平面図であり、図5(b)は、図5(a)中のA-A'線に沿って切った時の重ね合わせ精度測定マークの断面図である。

【図6】図6(a)はCCDカメラ等により取り込まれた重ね合わせ精度測定マークの画像データの説明図である。図6(b)は、X-X'方向に沿った明暗強度の波形信号の説明図である。

【図7】図7(a)は重ね合わせ精度測定マーク300の上面からの説明図、図7(b)は図7(a)をA-A'線に沿って切った断面図である。

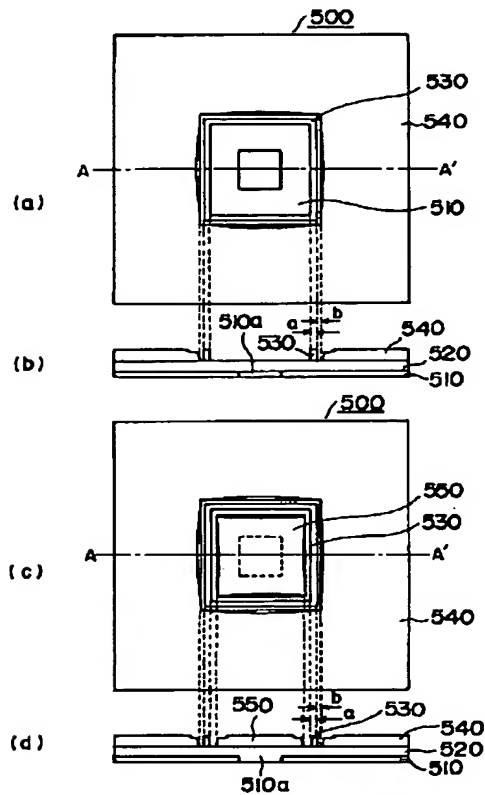
【図8】図8は、レジストマークのエッジ位置の検出に

おけるサーマルフローの影響を示す説明図である。図8(a)はCCDカメラなどにより取り込まれた重ね合わせ精度測定マークの上面からの画像データの説明図である。図8(b)は、画像データにおけるレジストマーク、紙面上左側のエッジのX-X'方向に沿った明暗強度の波形信号の説明図である。

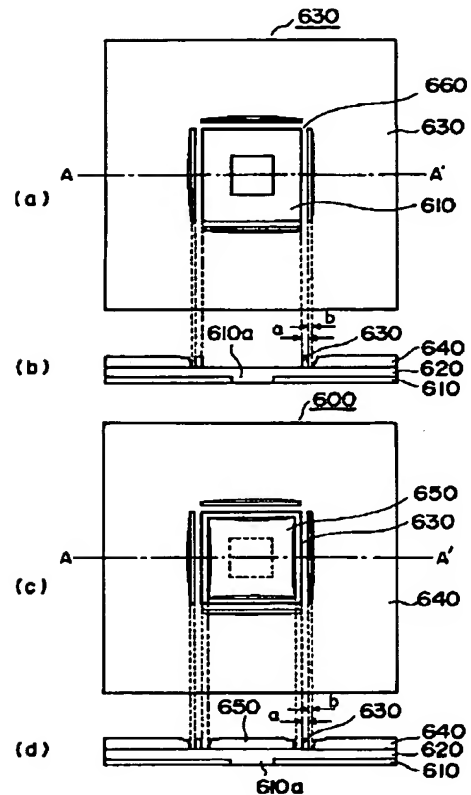
【符号の説明】

500：重ね合わせ精度測定マーク500
510：ポリシリコン膜510
510a：下地マーク510a
520：二酸化シリコン膜520
530：第2のパターン530（レジストマーク）
540：第1のパターン540（レジストマーク）

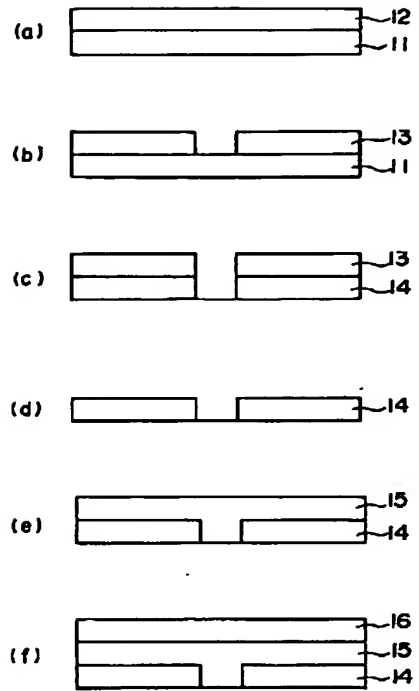
【図1】



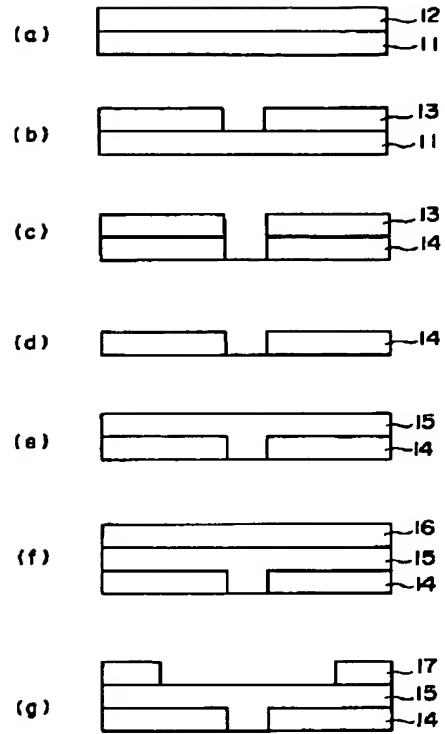
【図2】



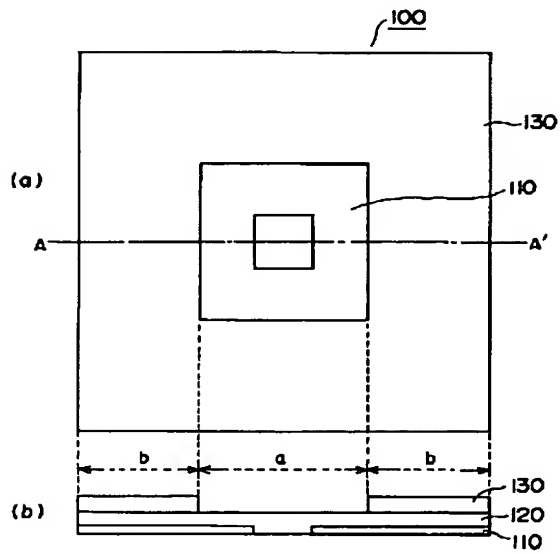
【図3】



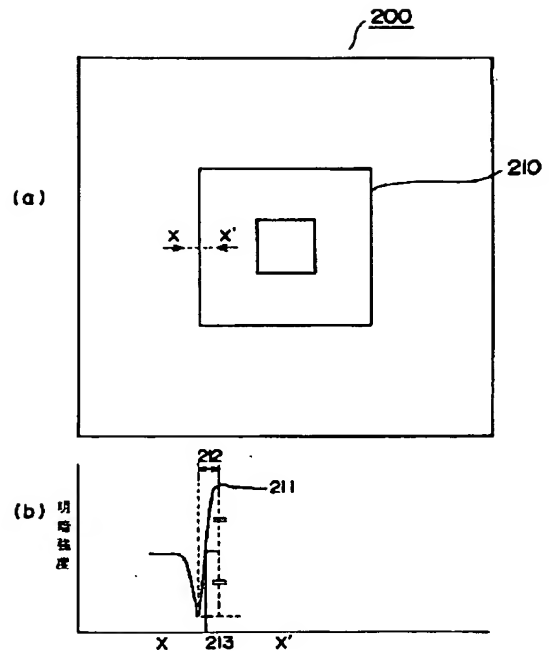
【図4】



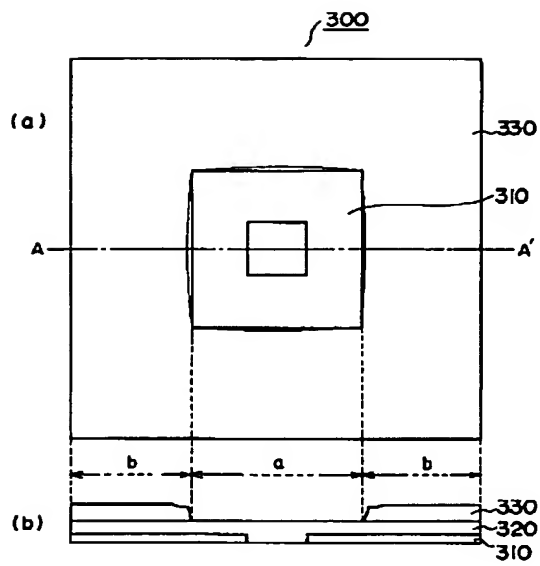
【図5】



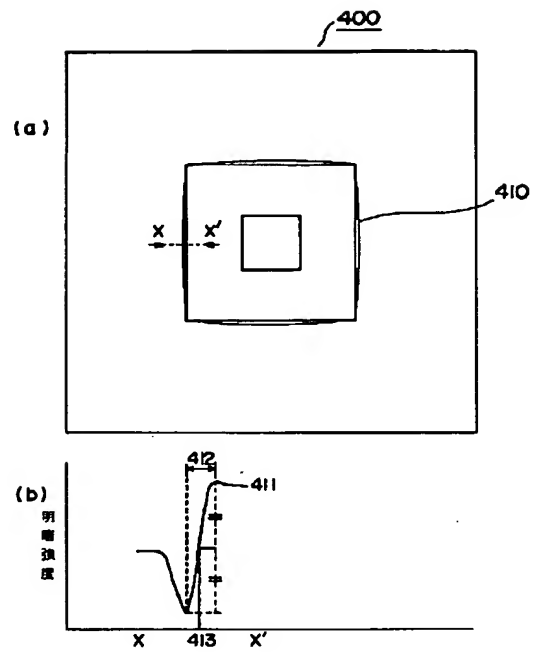
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.⁷

H05K 1/02

識別記号

F I

H01L 23/12

テーマコード(参考)

Z

Fターム(参考) 2H096 AA25 LA16
 5E338 AA18 DD11 DD16 DD32 EE44
 5F031 CA02 JA38
 5F046 AA25 EA04 EA12 EA15 EA18
 EB01 EC05 FA17 FC03



US006368980B1

(12) **United States Patent**
Minami et al.

(10) Patent No.: **US 6,368,980 B1**
(45) Date of Patent: **Apr. 9, 2002**

(54) **RESIST MARK HAVING MEASUREMENT MARKS FOR MEASURING THE ACCURACY OF OVERLAY OF A PHOTOMASK DISPOSED ON SEMICONDUCTOR WAFER AND METHOD FOR MANUFACTURING SEMICONDUCTOR WAFER HAVING IT**

(75) Inventors: **Akiyuki Minami; Satoshi Machida,**
both of Tokyo (JP)

(73) Assignee: **Oki Electric Industry Co., Ltd., Tokyo**
(JP)

(*) Notice: Subject to any disclaimer, the term of this patent is extended or adjusted under 35 U.S.C. 154(b) by 0 days.

(21) Appl. No.: **09/458,819**

(22) Filed: **Dec. 13, 1999**

(30) **Foreign Application Priority Data**

Dec. 21, 1998 (JP) 10-362716

(51) Int. Cl.⁷ **H01L 21/00**

(52) U.S. Cl. **438/737; 216/41; 216/59; 216/84; 438/8; 438/725; 438/735; 438/743**

(58) Field of Search **33/533, 613, 623, 33/645; 438/8, 9, 14, 719, 723, 725, 735, 737, 740, 743, 734; 216/2, 41, 59, 79, 84; 430/5, 313, 316, 323**

(56) **References Cited**

U.S. PATENT DOCUMENTS

5,952,247 A * 9/1999 Livengood et al. 438/735

* cited by examiner

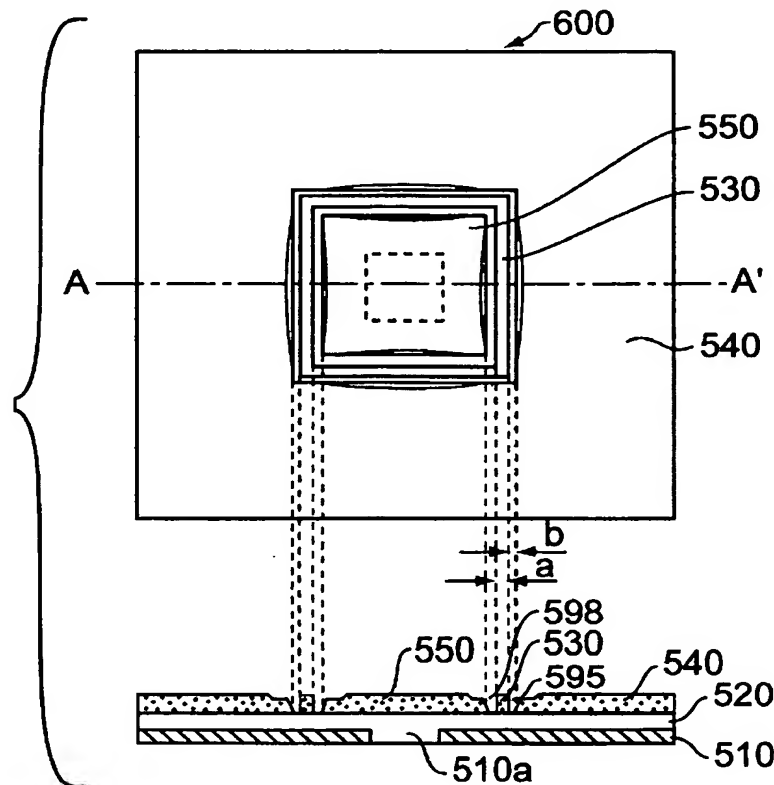
Primary Examiner—William A. Powell

(74) *Attorney, Agent, or Firm*—Junichi Mimura

(57) **ABSTRACT**

A resist mark for measuring the accuracy of overlay of a photomask disposed on a semiconductor wafer, includes a first measurement mark having a first opening, formed on the substrate, an intermediate layer formed on the first measurement mark and in the first opening, a frame-shaped second measurement mark formed on the intermediate layer, and a third measurement mark that is spaced from the second measurement mark toward the outside, formed on the intermediate layer. The second measurement mark has a width which is short enough not to be influenced by a deformation caused by the thermal flow phenomenon.

6 Claims, 3 Drawing Sheets



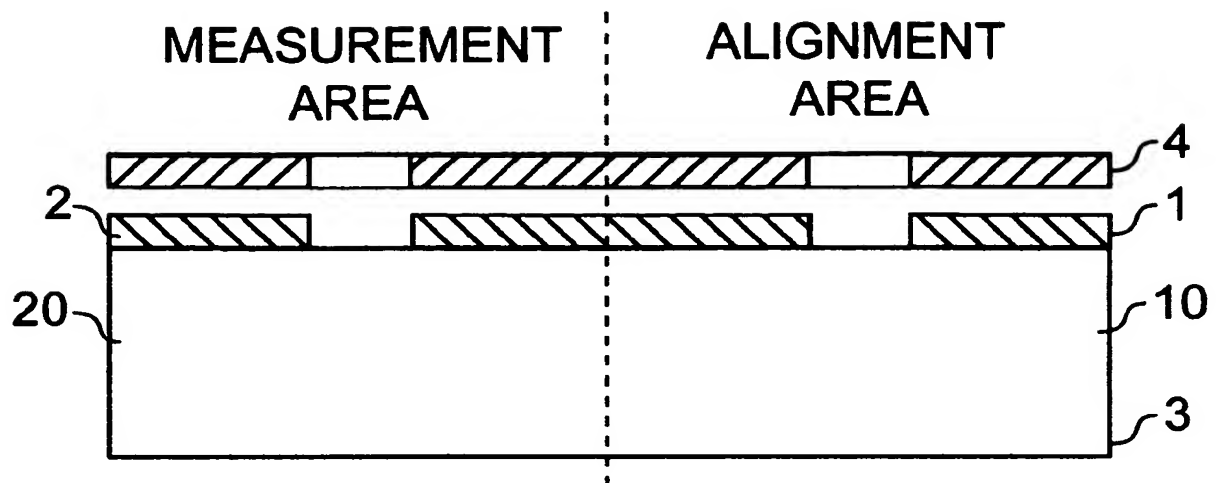


FIG. 1A

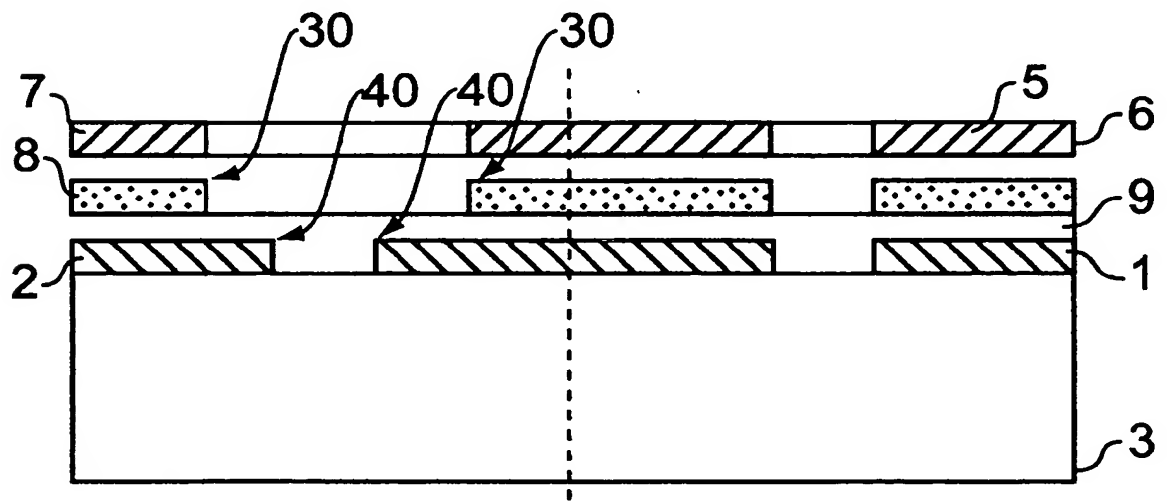


FIG. 1B

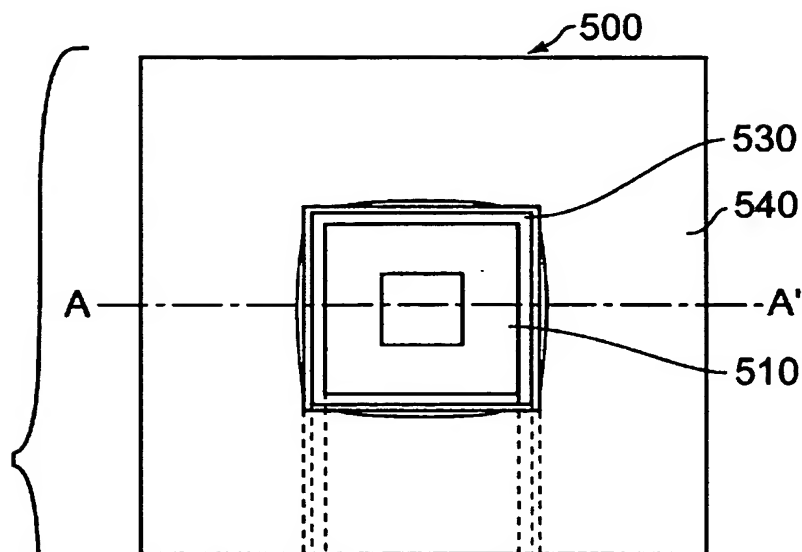


FIG. 2A

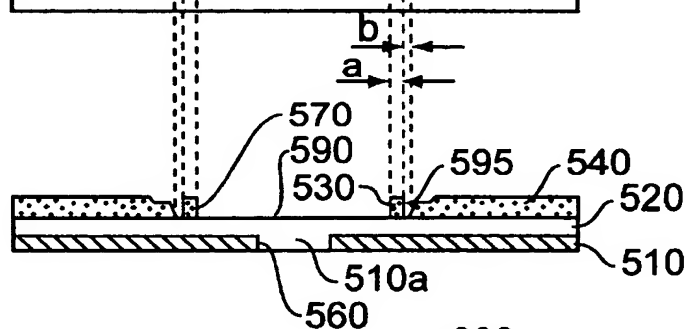


FIG. 2B

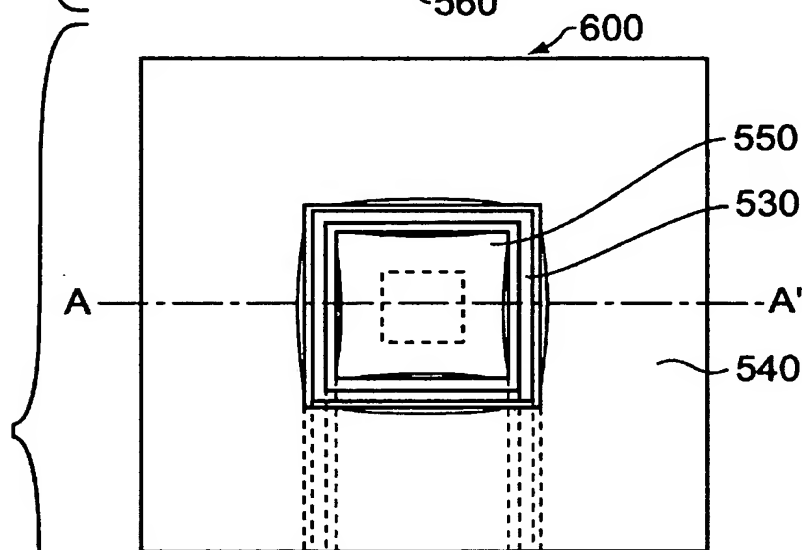


FIG. 3A

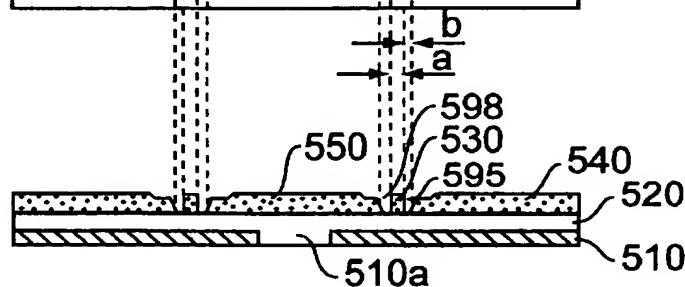


FIG. 3B

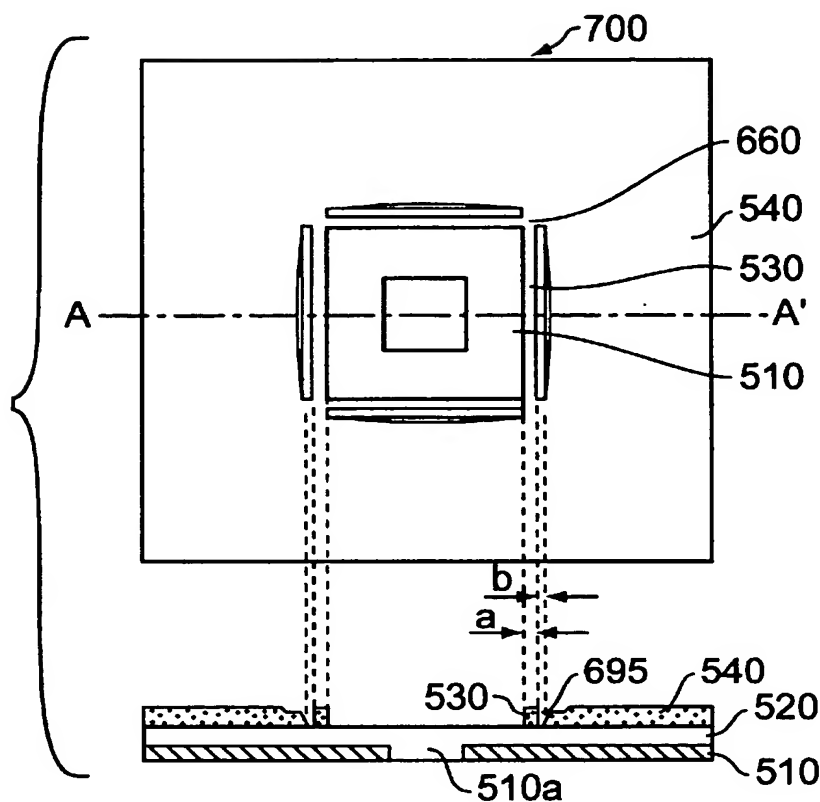


FIG. 4A

FIG. 4B

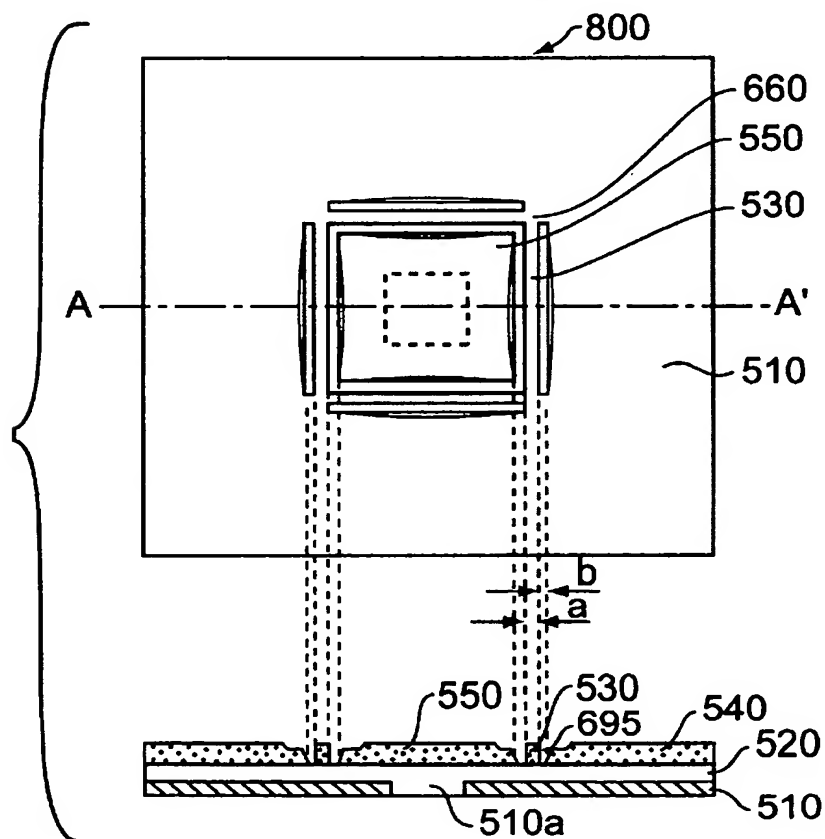


FIG. 5A

FIG. 5B

1

**RESIST MARK HAVING MEASUREMENT
MARKS FOR MEASURING THE ACCURACY
OF OVERLAY OF A PHOTOMASK
DISPOSED ON SEMICONDUCTOR WAFER
AND METHOD FOR MANUFACTURING
SEMICONDUCTOR WAFER HAVING IT**

**CROSS-REFERENCE TO RELATED
APPLICATION**

This application claims the priority benefit of Japanese Patent Application No. 10-362716, filed Dec. 21, 1998, the entire subject matter of which is incorporated herein of reference.

BACKGROUND OF THE INVENTION

1. Field of the Invention

The invention relates to a measurement mark for measuring the accuracy of overlay of a photomask disposed on a semiconductor wafer, and also to a method of forming the measurement mark formed on the semiconductor wafer.

2. Description of the Related Art

To form circuit patterns on a silicon substrate, a photomask on which the circuit patterns are drawn is disposed on the silicon substrate, and then the circuit patterns on the mask are transferred onto a resist film formed on the silicon substrate by using conventional lithograph technology. Then, the circuit patterns are formed using conventional etching, with the patterned resist film serving as an etching mask. This lithographic process requires the accurate alignment of the photomask and the silicon substrate. To perform an accurate alignment, an alignment pattern formed on the photomask is overlaid on an alignment mark that is formed on the silicon substrate.

The accuracy of the alignment is measured by a resist mark having several measurement marks. Referring to FIG. 1A, an alignment mark 1 are formed on an alignment mark area 10 and a first measurement mark 2 are formed on a measurement area 20 of the silicon substrate 3 using the first photomask 4. Then, a resist layer is formed on the entire surface of the silicon substrate 3. After that, referring to FIG. 1B, an insulating layer 9, such as silicon oxide layer is formed on the entire surface of the silicon substrate 3, and then, an resist film is formed on the insulating layer 9. After that, an alignment pattern 5 formed on a second photomask 6 is overlaid on the alignment mark 1 on the silicon substrate 3 by detecting an edge of the alignment mark 1, and then, a conventional lithographic process is performed. As a measurement pattern 7 is formed on the second photomask 6, a measurement mark 8 is formed by transferring the measurement pattern 7 into the resist film. As a distance between facing sides of the measurement pattern 7 is longer than a distance between facing sides of the first measurement mark 2, an edge 40 of the first measurement mark 2 is encompassed by an edge 30 of the second measurement mark 8. A value of the dislocation of the second photomask is measured by detecting the location of the edges 30, 40 of the first and second measurement mark 2, 8.

In the process for forming the second measurement mark 8, a thermal treatment is performed at over 100° C. for the second measurement mark 8 in order to reduce an organic solvent remained excessively in the second measurement mark 8 or to stiffen the second measurement mark 8 by a bridge-building reaction of macromolecules. In the performance of the thermal treatment, the second measurement mark 8 is deformed at its edge 30 by a phenomenon

2

generally known as the "thermal flow". Specifically, the deformation of the second measurement mark 8 at its edge 30 occurs if the distance between the facing sides is long because a large stress is applied to the second measurement mark 8.

As the measurement of the dislocation using the deformed edge is not accurate, the alignment of another photomask in the subsequent process also is not accurate. As a result, a defective circuit will be manufactured.

SUMMARY OF THE INVENTION

An objective of the invention is to resolve the above-described problem and to provide a resist mark having measurement marks which are not affected by the thermal flow phenomenon and which improve the alignment accuracy.

Another objective of the invention is to provide a method for forming a resist mark having features described above.

To achieve these objectives, a resist mark for measuring the accuracy of overlay of a photomask disposed on a semiconductor wafer, includes a first measurement mark having a first opening, formed on the substrate, an intermediate layer formed on the first measurement mark and in the first opening, a frame-shaped second measurement mark formed on the intermediate layer, and a third measurement mark that is spaced from the second measurement mark toward the outside, formed on the intermediate layer. The second measurement mark has a width which is short enough not to be influenced by a deformation caused by the thermal flow phenomenon. Further, the resist mark further includes a fourth measurement mark formed in an area which is surrounded by the second measurement mark. Still further, the second measurement mark is connected to the third measurement mark at its corners.

These objectives are further achieved by a method for manufacturing a semiconductor wafer having a resist mark for measuring the accuracy of overlay of a photomask disposed on the semiconductor wafer, the method including (a) forming a first layer on the semiconductor wafer, (b) forming a first rectangularly shaped opening in the first layer to make a first measurement mark, (c) forming an intermediate layer on the first measurement mark and in the first opening, (d) forming a second layer on the intermediate layer, (e) forming a second measurement mark and a third measurement mark by forming a second rectangularly shaped opening and a frame-shaped opening in the second layer, the second rectangularly shaped opening being located above the first opening, the second measurement mark being isolated from the third measurement mark by the frame-shaped opening, (f) wherein the second measurement mark is formed in a frame shape, and (g) wherein the second measurement mark has a width which is short enough not to be influenced by a deformation caused by the thermal flow phenomenon.

BRIEF DESCRIPTION OF THE DRAWINGS

The invention will be more particularly described with reference to the accompanying drawings in which:

FIGS. 1A and 1B are sequential sectional views for forming an alignment mark and measurement marks;

FIG. 2A is a plan view of a resist mark, according to a first embodiment of the invention;

FIG. 2B is a sectional view taken along line A—A' shown in FIG. 2A;

FIG. 3A is a plan view of a resist mark, according to a first alternative embodiment of the invention;

3

FIG. 3B is a sectional view taken along line A—A' shown in FIG. 3A;

FIG. 4A is a plan view of a resist mark, according to a second alternative embodiment of the invention;

FIG. 4B is a sectional view taken along line A—A' shown in FIG. 4A;

FIG. 5A is a plan view of a resist mark, according to a third alternative embodiment of the invention; and

FIG. 5B is a sectional view taken along line A—A' shown in FIG. 5A.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

A resist mark 500 having several measurement marks for measuring the accuracy of overlay of a photomask is shown in FIGS. 2A and 2B. The resist mark 500 is formed by the process described below.

First, a polysilicon layer having a thickness of 2000 Å is formed on a silicon substrate by CVD, and then, a first measurement mark 510 is formed by a conventional lithographic process using a first photomask to expose the surface of the silicon substrate with a first opening 510a. Next, an intermediate layer 520 having a thickness of 5000 Å–10000 Å which is formed of an insulating material such as silicon oxide, is formed on the exposed surface of the silicon substrate and on the first measurement mark 510 by CVD. Then, a 5000 Å–30000 Å thick resist film is formed by a spin coating process on the entire surface of the intermediate layer 520, and then, a second measurement mark 530, a third measurement mark 540, a second opening 590 and a first frame-shaped third opening 595, are formed simultaneously by a conventional lithographic process, using a second photomask. Both the second and the third measurement mark 530, 540 are frame-shaped, and the second measurement mark 530 is encompassed by the third measurement mark 540. The second opening 590 is encompassed by the second measurement mark 530, which has a width of 0.3 to 10.0 μm. The second measurement mark 530 is isolated completely from the third measurement mark 540, which has a width of 20.0 to 30.0 μm, by the third opening 595, which has a width of around 0.3 to 10.0 μm. A value of the dislocation of the second photomask is measured by detecting the location of the edges 560, 570 respectively of the first and second measurement mark 510, 530. As the width of the second measurement mark 530 is short enough in this embodiment, no deformation is caused by the thermal flow phenomenon at the edge 570 of the second measurement mark 530, because no stress is applied to the second measurement mark 530.

According to the first embodiment of the invention, the dislocation of the second photomask can be measured accurately using the second measurement pattern 530, which has the fine edge. Furthermore, as the intermediate layer 520 is covered by the third measurement mark 540, unnecessary etching of the intermediate layer 520 in the subsequent etching process, can be avoided.

Referring to FIGS. 3A and 3B, the first alternative resist mark is illustrated. The only difference between the first and alternative embodiments of the resist mark is that in the first alternative, the fourth measurement pattern 550 is formed on the intermediate layer 520 in the second opening 530. The fourth measurement pattern 550 is isolated from the second measurement pattern by a fourth frame-shaped opening 598 having 0.3–10.0 μm width. As the fourth measurement pattern 550 is formed with lithography, it can be formed with the second and the third measurement mark simultaneously.

4

According to the first alternative resist mark, in addition to the benefit of the first embodiment, as the intermediate layer 520 in the first opening 590 is further covered by the fourth measurement mark 550, unnecessary etching of the intermediate layer 520 in the first opening 590 in the subsequent etching process can be avoided.

Referring to FIGS. 4A and 4B, the second alternative resist mark is illustrated. The only difference between the first resist mark and the second alternative resist mark is that in the second alternative, the second measurement mark 530 is connected to the third measurement mark 540 at each corner 660. Therefore, the third opening 595 of the first embodiment and the first alternative embodiment, is divided into four rectangularly shaped openings 695 in this second alternative embodiment. The four openings 695 are formed along by each side of the second measurement mark 530. The length of each of four openings 695, which are located between the second measurement mark 530 and third measurement mark 540, is substantially the same as the length of the second opening 590, that is 15–35 μm.

According to the second alternative resist mark, in addition to obtaining the benefit of the first embodiment, as the second measurement mark 530 is connected to the third measurement mark 540, the second measurement mark 530 is supported by the third measurement mark 540. That is, a suitable second measurement mark 530 can be formed even if the width of second measurement mark 530 is short.

Referring to FIGS. 5A and 5B, the third alternative resist mark is illustrated. The only difference between the second alternative resist mark and the third alternative resist mark is that the fourth measurement mark 550 described in the first alternative resist mark is also formed in the third alternative resist mark.

According to the third alternative resist mark, all benefits described above with respect to the resist mark of the first embodiment, the first alternative resist mark and the second alternative resist mark, can be obtained.

While the invention has been described with reference to illustrative embodiments, this description is not intended to be construed in a limiting sense. Various modifications of the illustrated embodiments, as well as other embodiments of the invention, will be apparent to those skilled in the art on reference to this description. Therefore, the appended claims are intended cover any such modifications or embodiments as fall within the true scope of the invention.

I claim:

1. A method for manufacturing a semiconductor wafer having a resist mark for measuring the accuracy of overlay of a photomask disposed on the semiconductor wafer, comprising:

- forming a first layer on the semiconductor wafer;
- forming a first rectangularly shaped opening in the first layer to make a first measurement mark;
- forming an intermediate layer on the first measurement mark and in the first opening;
- forming a second layer on the intermediate layer;
- forming a second measurement mark and a third measurement mark by forming a second rectangularly shaped opening and a frame-shaped opening in the second layer, the second rectangularly shaped opening being located above the first opening, the second measurement mark being isolated from the third measurement mark by the frame-shaped opening;

wherein the second measurement mark is formed in a frame-shaped; and

5

wherein the second measurement mark has a width which is short enough not to be influenced by a deformation caused by the thermal flow phenomenon.

2. A method for manufacturing a semiconductor wafer according to claim 1, further comprising, forming a fourth measurement mark in the second opening, the fourth measurement mark being spaced from the second measurement mark.

3. A method for manufacturing a semiconductor wafer according to claim 2, wherein, said forming the fourth measurement mark includes forming the fourth measurement mark simultaneously with the second and third measurement marks.

4. A method for manufacturing a semiconductor wafer having a resist mark for measuring the accuracy of overlay of a photomask disposed on the semiconductor wafer, comprising:

forming a first layer on the semiconductor wafer;

forming a first rectangularly shaped opening in the first layer to make a first measurement mark;

forming an intermediate layer on the first measurement mark and in the first opening;

forming a second layer on the intermediate layer;

forming a second measurement mark and a third measurement mark by forming a second rectangularly

6

shaped opening and four openings in the second layer, the second rectangularly shaped opening being located above the first opening, the second measurement mark being formed in a frame-shaped, the four openings being formed along by each side of the second measurement mark, and the second measurement mark being connected to the third measurement mark at its corners; and

wherein the second measurement mark has a width which is short enough not to be influenced by a deformation caused by the thermal flow phenomenon.

5. A method, for manufacturing a semiconductor wafer according to claim 4, further comprising, forming a fourth measurement mark in the second opening, the fourth measurement mark being spaced from the second measurement mark.

6. A method for manufacturing a semiconductor wafer according to claim 5, wherein, said forming a fourth measurement mark includes forming the fourth measurement mark simultaneously with the second and third measurement marks.

* * * * *